

EE-334

**Conception de systèmes numériques pour EL**

Burg Andreas Peter, Vachoux Alain

Cursus	Sem.	Type
Génie électrique et électronique	BA5	Obl.
HES - EL	H	Obl.

Langue d'enseignement	français / anglais
Crédits	3
Session	Hiver
Semestre	Automne
Examen	Ecrit
Charge	90h
Semaines	14
<b>Heures</b>	<b>3 hebdo</b>
Cours	2 hebdo
Exercices	1 hebdo
<b>Nombre de places</b>	

**Résumé**

Le cours permet d'acquérir des connaissances de base sur les méthodologies et les outils pour la conception, l'optimisation et la vérification de composants et systèmes matériels digitaux. Le langage VHDL est utilisé pour décrire une architecture matérielle qui sera ensuite synthétisée sur FPGA.

**Contenu****Systemes digitaux**

Représentations et abstractions de systèmes matériels digitaux, formalismes de description.

**Conception register-transfer-level (RTL)**

Méthodologie pour traduire une description haut-niveau (algorithmique) du comportement d'un système digital en une architecture RTL (partie contrôle et parti opérative), fondations de la conception digitale synchrone, comportement et contraintes temporelles, transformation architecturales de base, introduction aux FPGAs.

**VHDL**

Éléments essentiels du langage de modélisation VHDL et usage pour la simulation dirigée par les événements, application de VHDL dans la méthodologie de conception RTL (modélisation, synthèse, vérification).

**Mots-clés**

Système/composant matériel digital, conception register-transfer-level, RTL, VHDL, synthèse, vérification, FPGA.

**Compétences requises****Cours prérequis obligatoires**

Systèmes logiques (CS-171). Microcontrôleurs et conception de systèmes numériques (EE-208).

**Concepts importants à maîtriser**

Composants logiques combinatoires et séquentiels. Architecture de base d'une unité de calcul.

**Acquis de formation**

A la fin de ce cours l'étudiant doit être capable de:

- Expliquer les principes et les règles d'une conception synchrone sûre et robuste
- Optimiser les parties opératives sous contraintes de délais et de surface.
- Développer des parties contrôles à base de machines à états finis.
- Traduire une architecture RTL en un modèle VHDL synthétisable.
- Synthétiser une architecture RTL sur un circuit FPGA.
- Vérifier la fonctionnalité des modèles VHDL RTL et synthétisés.

**Méthode d'enseignement**

Ex-cathedra avec des exercices en groupe et des petits projets utilisant une plate-forme et des outils de conception FPGA.

**Travail attendu**

Participation au cours. Résolution des exercices et des projets. Utilisation d'outils de conception FPGA.

**Méthode d'évaluation**

Exercices à rendre (10%). Examen intermédiaire (40%). Examen final avec quiz et problèmes (50%).

**Ressources****Bibliographie**

R. Airiau, et al., *VHDL: Langage, modélisation, synthèse*, Presses Polytechniques et Universitaires Romandes, 2003.

H. Kaeslin, *Digital Integrated Circuit Design: From VLSI Architectures to CMOS Fabrication*, Cambridge Univ. Press, 2008.

A. Rushton, *VHDL for Logic Synthesis*, 3rd ed.: Wiley, 2011.

**Ressources en bibliothèque**

- [VHDL / Airiau](#)
- [VHDL for Logic Synthesis / Rushton](#)
- [Digital Integrated Circuit Design / Kaeslin](#)

**Polycopiés**

Notes de cours. Documentation VHDL. Mode d'emploi d'outils FPGA.

**Préparation pour**

TP orientation électronique/microélectronique, Hardware System Modeling I, Eda-Based Design.